



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0068678
Application Number

출원년월일 : 2002년 11월 07일
Date of Application NOV 07, 2002

출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 04 월 16 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【참조번호】 0003
【제출일자】 2002.11.07
【발명의 명칭】 반도체 소자의 소자 분리막 형성 방법
【발명의 영문명칭】 Method of forming a isolation layer in a semiconductor device

【출원인】

【명칭】 (주)하이닉스 반도체
【출원인코드】 1-1998-004569-8

【대리인】

【성명】 신영무
【대리인코드】 9-1998-000265-6
【포괄위임등록번호】 1999-003525-1

【발명자】

【성명의 국문표기】 이성훈
【성명의 영문표기】 LEE, Sung Hoon
【주민등록번호】 720228-1074224
【우편번호】 134-761
【주소】 서울특별시 강동구 길1동 우성아파트 107-911
【국적】 KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
 신영무 (인)

【수수료】

【기본출원료】 20 면 29,000 원
【가산출원료】 2 면 2,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 11 항 461,000 원
【합계】 492,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 반도체 소자의 소자 분리막 형성 방법에 관한 것으로, 소자 분리 영역의 반도체 기판을 노출시키는 패드 산화막 및 패드 질화막을 적층 구조로 형성하는 과정에서 반도체 기판의 표면과 접하는 패드 질화막 및 패드 산화막의 측벽 하부에 꼬리 모양(Tail profile)과 같은 돌출부를 형성하고 기판 식각 시 돌출부를 식각 방해막으로 사용하여 트렌치의 상부 모서리가 둥글게 형성되도록 함으로써, 트렌치의 상부 모서리에 전계가 집중되는 것을 방지하고 누설 전류의 발생을 억제하여 공정의 신뢰성 및 소자의 전기적 특성을 향상시킬 수 있는 반도체 소자의 소자 분리막 형성 방법이 개시된다.

【대표도】

도 2e

【색인어】

소자 분리막, 전계 집중, 누설 전류, 라운딩 처리, 패드 질화막, 식각 방해막

【명세서】**【발명의 명칭】**

반도체 소자의 소자 분리막 형성 방법{Method of forming a isolation layer in a semiconductor device}

【도면의 간단한 설명】

도 1a 내지 도 1d는 종래 기술에 따른 반도체 소자의 소자 분리막 형성 방법을 설명하기 위한 소자의 단면도들이다.

도 2a 내지 도 2e는 본 발명의 실시예에 따른 반도체 소자의 소자 분리막 형성 방법을 설명하기 위한 소자의 단면도들이다.

도 3은 도 2b에서 소자 분리 영역의 가장자리 상부에 돌출부가 형성된 상태를 보여주는 단면 샘플사진이다.

도 4a 및 도 4b는 도 2c에서 트렌치를 형성하는 식각 공정에 대한 실시예를 설명하기 위한 소자의 단면도들이다.

<도면의 주요 부분에 대한 부호의 설명>

101, 201 : 반도체 기판 102, 202 : 패드 산화막

103, 203 : 패드 질화막 104, 204 : 포토레지스트 패턴

105, 205 : 트렌치 105a, 205a : 트렌치의 상부 모서리

106, 207 : 소자 분리막 206 : 절연 물질층

230 : 돌출부

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <11> 본 발명은 반도체 소자의 소자 분리막 형성 방법에 관한 것으로, 특히 STI(Shallow Trench Isolation) 구조의 소자 분리막에서 트렌치의 상부 가장 자리에 전계가 집중되는 것을 방지할 수 있는 반도체 소자의 소자 분리막 형성 방법에 관한 것이다.
- <12> 모든 반도체 소자에서는 반도체 기판에 형성되는 각종 소자들을 전기적으로 격리하기 위하여 소자 분리막을 형성한다. 종래에는 소자 분리막을 LOCOS(Local oxidation) 공정으로 형성하였으나, 이러한 경우 소자 분리막의 가장 자리에서 버즈 빅(Bird's beak)이 발생되어 소자의 전기적 특성 및 집적도를 저하시키는 문제점이 발생된다.
- <13> 반도체 소자가 고집적화 되어감에 따라, 소자 분리막에 버즈 빅이 발생하는 것을 방지하면서 소자 분리막이 차지하는 면적을 최소화할 수 있도록 소자 분리막을 STI(Shallow Trench Isolation) 구조로 형성한다.
- <14> 이하, 첨부된 도면을 참조하여 종래 기술에 따른 반도체 소자의 소자 분리막 형성 방법을 설명하기로 한다. 도 1a 내지 도 1d는 종래 기술에 따른 반도체 소자의 소자 분리막 형성 방법을 설명하기 위한 소자의 단면도들이다.

- <15> 도 1a를 참조하면, 반도체 기판(101) 상에 패드 산화막(102) 및 패드 질화막(103)을 순차적으로 형성한다. 이어서, 패드 질화막(103) 상부에 포토레지스트를 도포한 후 노광 및 현상 공정을 실시하여 소자 분리막이 형성될 영역인 소자 분리 영역이 정의된 포토레지스트 패턴(104)을 형성한다. 이로써, 소자 분리막이 형성될 영역의 패드 질화막(103)이 노출된다.
- <16> 도 1b를 참조하면, 식각 공정을 통해 소자 분리 영역의 패드 질화막(103)을 제거한 후 하부에 노출된 패드 산화막(102)을 순차적으로 제거한다. 이로써, 소자 분리 영역의 반도체 기판(101)이 노출된다.
- <17> 도 1c를 참조하면, 소자 분리 영역의 반도체 기판(101)을 소정 깊이까지 식각하여 트렌치(105)를 형성한다. 이후, 포토레지스트 패턴(도 1b의 104)을 제거한다.
- <18> 도 1d를 참조하면, 트렌치(105)가 매립되도록 전체 상부에 절연 물질층(도시되지 않음)을 형성한 후 화학적 기계적 연마 공정으로 패드 질화막(도 1c의 103) 상부의 절연 물질층을 제거하고, 식각 공정으로 패드 질화막 및 패드 산화막(도 1c의 102)을 순차적으로 제거한다. 이로써, 절연 물질층은 트렌치에만 잔류되어 절연 물질층으로 이루어진 소자 분리막(106)이 형성된다.
- <19> 상기에서 서술한 소자 분리막을 형성 방법을 살펴보면, 소자 분리막을 STI 구조로 형성할 경우 버즈 박이 발생되지 않기 때문에, 버즈 박에 의해 소자의 전기적 특성이나 집적도가 저하되는 것을 방지할 수 있다.
- <20> 하지만, STI 구조의 소자 분리막에서 가장 취약한 점은 트렌치의 상부 모서리(도 1c의 105a)가 뾰족하게 형성되어 뾰족한 부분으로 전계가 집중된다는 것이다. 이렇게 트

렌치의 상부 모서리가 뾰족하게 형성되면, 이 부분에 게이트 산화막이 얇게 형성되어 누설 전류가 증가하고, 전계가 집중되어 트랜지스터의 문턱 전압이 변하거나 불량이 발생할 수 있어 소자의 신뢰성이 저하되는 문제점이 발생된다.

<21> 이를 방지하기 위한 방법으로 기판을 식각하여 트렌치를 형성할 때 패드 질화막을 식각 마스크로 사용하지 않고 포토레지스트 패턴을 식각 마스크로 사용하는 방법이 있다. 좀 더 구체적으로 설명하면 다음과 같다.

<22> 도 3에서 포토레지스트 패턴을 제거하지 않고, 도 2에서와 같이, 포토레지스트 패턴을 패드 질화막(103) 상부에 그대로 잔류시킨 상태에서, 트렌치를 형성하기 위한 기판 식각 시 식각제로 중합 반응(Polymerization)을 발생시키면 폴리머가 발생되면서 소자 분리 영역 가장자리의 기판 상부에 축적된다. 축적된 폴리머는 실리콘 성분과 식각 선택비가 다르기 때문에 기판 식각 시 식각 방지막의 역할을 하게 된다. 따라서, 폴리머가 축적된 소자 분리 영역의 가장자리에서는 중앙에 비하여 식각이 거의 진행되지 않기 때문에 트렌치의 상부 모서리가 둥글게 형성된다.

<23> 하지만, 이러한 방법도 폴리머의 발생량을 정확하게 제어할 수 없기 때문에 트렌치의 상부 모서리를 둥근 형태로 균일하게 형성하기가 어렵다. 더욱이, 포토레지스트 패턴을 식각 마스크로 이용하는 경우에는, 패턴 사이즈가 집적화됨에 따라, 포토레지스트에서 발생하는 폴리머에 의해 반도체 기판을 식각하기가 어려워지기 때문에 포토레지스트 패턴을 제거한 상태에서 반도체 기판을 식각하여야 한다. 하지만, 포토레지스트 패턴을 제거한 상태에서 패드 질화막을 식각 마스크로 이용하는 경우는, 폴리머를 발생시키기

위한 카본 소오스가 부족하기 때문에 폴리머를 이용하여 트렌치의 상부 모서리를 둥글게 형성하기가 더욱 더 어렵다.

【발명이 이루고자 하는 기술적 과제】

<24> 따라서, 본 발명은 상기의 문제점을 해결하기 위하여 소자 분리 영역의 반도체 기판을 노출시키는 패드 산화막 및 패드 질화막을 적층 구조로 형성하는 과정에서 반도체 기판의 표면과 접하는 패드 질화막 및 패드 산화막의 측벽 하부에 꼬리 모양(Tail profile)과 같은 돌출부를 형성하고 기판 식각 시 돌출부를 식각 방해막으로 사용하여 트렌치의 상부 모서리가 둥글게 형성되도록 함으로써, 트렌치의 상부 모서리에 전계가 집중되는 것을 방지하고 누설 전류의 발생을 억제하여 공정의 신뢰성 및 소자의 전기적 특성을 향상시킴과 동시에, 포토레지스트 패턴을 제거한 상태에서도 트렌치 상부 모서리를 둥글게 형성할 수 있으므로 폴리머에 대한 공정 진행의 어려움을 해결할 수 있는 반도체 소자의 소자 분리막 형성 방법을 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

<25> 본 발명의 실시예에 따른 반도체 소자의 소자 분리막 형성 방법은 반도체 기판 상부에 패드 산화막 및 패드 질화막을 순차적으로 형성하는 단계와, 소자 분리 영역의 상부 가장자리에 꼬리 모양의 돌출부가 형성되도록 소자 분리 영역 상부의

패드 질화막 및 패드 산화막을 제거하는 단계와, 돌출부를 식각 방해막으로 이용하면서 소자 분리 영역의 반도체 기판을 식각해 상부 모서리가 둥글게 형성된 트렌치를 형성하는 단계와, 트렌치를 절연물질로 매립한 후 반도체 기판 상부의 패드 질화막 및 패드 산화막을 제거하여 소자 분리막을 형성하는 단계를 포함한다.

<26> 상기에서, 돌출부는 소자 분리 영역의 패드 질화막을 제거한 후 패드 질화막을 제거하는데 소요된 시간의 1 내지 10% 동안 CHF_3 가스로 과도 식각을 실시하여 형성할 수 있다. 또 다른 방법으로, 돌출부는 패드 질화막 및 패드 산화막을 제거하는 식각 공정에서 산화물에 대한 선택비가 높은 상태로 식각 공정을 실시하여 형성할 수도 있다. 한편, 식각 공정은 CF_4 가스와 CHF_3 가스를 식각 가스로 사용하여 실시하며, CHF_3 가스를 CF_4 가스보다 많이 공급하여 산화물에 대한 선택비를 증가시킨 상태에서 실시한다. 이때, CHF_3 가스 및 CF_4 가스의 공급 비율을 2:1 내지 10:1로 조절하는 것이 가능하다. 이러한 식각 공정은 식각 종료 시점을 패드 산화막의 산화물 성분이 검출되는 시점을 식각 종료 시점으로 설정하여 실시한다.

<27> 그리고, 패드 질화막 상부에는 소자 분리 영역을 정의하기 위하여 포토레지스트 패턴이 형성되는데, 포토레지스트 패턴은 소자 분리 영역 상부의 패드 질화막 및 패드 산화막을 제거한 후 트렌치를 형성하기 전에 제거하여 포토레지스트로부터 발생하는 폴리머가 트렌치를 형성하기 위한 식각 공정에 영향을 미치는 것을 방지한다.

<28> 트렌치를 형성하기 위한 식각 공정은 소자 분리 영역의 반도체 기판 표면에 자연 산화막이 형성되는 것을 방지하기 위하여 패드 질화막 및 패드 산화막을 제거한 식각 챔버에서 시간의 지연 없이 인-시투로 진행할 수 있다.

<29> 트렌치를 형성하기 위한 식각 공정은, 돌출부에 대한 선택비가 높은 공정 조건으로 반도체 기판만을 1차 식각하여 상부 모서리가 라운딩 처리가 되지 않은 트렌치를 형성하는 단계 및 돌출부에 대한 선택비가 낮은 공정 조건의 PET 처리로 2차 식각을 실시하여 돌출부를 제거하면서 트렌치의 상부 모서리에 식각 경사면을 형성하여 라운딩 처리된 트렌치를 형성하는 단계로 실시할 수 있다. 이때, 돌출부 및 반도체 기판에 대한 식각 선택비는 식각 가스 중에서 HBr 가스의 유량으로 조절할 수 있다. 1차 식각 시에는 HBr 가스의 유량을 증가시켜 반도체 기판만이 식각되도록 하고, 2차 식각 시에는 상대적으로 HBr 가스의 유량을 감소시켜 돌출부와 함께 트렌치의 상부 모서리가 함께 식각되도록 할 수 있다.

<30> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명하기로 한다. 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예는 본 발명의 개시가 완전하도록 하며 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 한편, 도면상에서 동일 부호는 동일한 요소를 지칭한다.

<31> 도 2a 내지 도 2e는 본 발명의 실시예에 따른 반도체 소자의 소자 분리막 형성 방법을 설명하기 위한 소자의 단면도들이다. 도 3은 도 2b에서 소자 분리 영역의 가장자리 상부에 돌출부가 형성된 상태를 보여주는 단면 샘플사진이다.

- <32> 도 2a를 참조하면, 반도체 기판(201) 상에 패드 산화막(202) 및 패드 질화막(203)을 순차적으로 형성한다. 이어서, 패드 질화막(203) 상부에 포토레지스트를 도포한 후 노광 및 현상 공정을 실시하여 소자 분리막이 형성될 영역인 소자 분리 영역이 정의된 포토레지스트 패턴(204)을 형성한다. 이로써, 소자 분리막이 형성될 영역의 패드 질화막(203)이 노출된다. 이때, 패드 질화막(203)은 1500Å 이하의 두께로 형성한다.
- <33> 도 2b를 참조하면, 식각 공정을 통해 소자 분리 영역의 패드 질화막(203)을 제거한 후 하부에 노출된 패드 산화막(202)을 순차적으로 제거하여 소자 분리 영역의 반도체 기판(201)을 노출시킨다. 이때, 소자 분리 영역의 패드 질화막(203) 및 패드 산화막(202)을 제거하는 과정에서 반도체 기판(201)의 표면과 접하는 패드 질화막(203) 및 패드 산화막(202)의 측벽 하부에 꼬리 모양(Tail profile)의 돌출부(230)를 형성한다. 돌출부(230)는 후속 공정으로 반도체 기판(201)을 식각하여 트렌치를 형성하는 공정에서 소자 분리 영역의 가장자리가 식각되는 것을 방해하는 식각 방해막의 역할을 한다.
- <34> 이러한 돌출부(230)를 형성하는 방법은 여러 가지가 있으나, 예로써 두개의 실시예를 설명하면 다음과 같다.
- <35> 첫 번째 방법으로, 소자 분리 영역의 패드 질화막(203)을 제거하는 식각 공정 시 식각 가스 및 과도 식각에 대한 공정 조건을 조절하는 방법으로 돌출부(230)를 형성할 수 있다. 좀 더 구체적으로 설명하면, 소자 분리 영역의 패드 질화막(203)을 식각한 후 패드 질화막(203)을 제거하는데 소요된 시간의 1 내지 10% 동안 CHF_3 가스를 사용하여 과도 식각을 실시한다. 이때, CHF_3 가스를 사용하여 과도 식각을 실시하면 폴리머(Polymer)가 발생되는데, 과도 식각 공정을 짧은 시간 동안 실시하기 때문에 폴리머가

패드 질화막(203) 및 패드 산화막(202)의 측벽 하부에 축적되면서 돌출부(230)가 형성된다.

<36> 두 번째 방법으로, 소자 분리 영역의 패드 질화막(203) 및 패드 산화막(202)을 제거하는 식각 공정 시 패드 질화막(203)과 패드 산화막(202)의 식각 선택비를 조절하여 돌출부(230)를 형성할 수 있다. 좀 더 구체적으로 설명하면 다음과 같다. 패드 질화막(203)은 주로 CF_4 가스와 CHF_3 가스를 이용한 식각 공정으로 제거되는데, 일반적으로 CF_4 가스를 CHF_3 가스보다 많이 공급한다. 하지만, CHF_3 가스를 보다 더 많이 공급하면 산화물에 대한 선택비가 높아지기 때문에 패드 산화막(202)의 측벽 하부에 식각 경사면이 발생되면서 질화물/산화물로 이루어진 꼬리 모양의 돌출부(230)가 형성된다. 이때, CHF_3 가스와 CF_4 가스는 2:1 내지 10:1의 비율로 공급할 수 있다. 한편, 이 경우에는 패드 질화막(203)과 패드 산화막(202)을 식각할 때 반도체 기판(201)의 실리콘 성분이 검출되는 시점을 식각 종료 시점(End Of Point; EOP)으로 설정하지 않고, 패드 산화막(202)의 산화물(Oxide) 성분이 검출되는 시점을 식각 종료 시점으로 설정한다.

<37> 상기와 같이, 식각 가스 및 과도 식각 공정을 이용하거나, 패드 질화막(203) 및 패드 산화막(202)의 식각 선택비를 조절하여 소자 분리 영역의 패드 질화막(203) 및 패드 산화막(202)을 제거하면, 도 3에 도시된 바와 같이, 패드 질화막(203) 및 패드 산화막(202)의 측벽 하부에 꼬리 모양(Tail profile)의 돌출부(230)가 형성됨을 알 수 있다.

<38> 도 2c를 참조하면, 포토레지스트 패턴(도 2b의 204)을 제거한 후 소자 분리 영역의 반도체 기판(201)을 소정 깊이까지 식각하여 트렌치(205)를 형성한다. 이때, 소자 분리 영역의 가장자리 상부에 형성된 돌출부(도 2b의 230)가 소자 분리 영역의 가장자리가 식

각되는 것을 방해하여 트렌치(205)의 상부 모서리(205a)에 식각 경사면이 형성되고, 이로 인해 트렌치(205)의 상부 모서리(205a)가 둥글게 라운딩 처리된다.

<39> 상기에서, 일반적으로 소자 분리 영역의 패드 질화막 및 패드 산화막을 제거한 후 트렌치(205)를 형성하기 전에는, 노출된 반도체 기판의 표면에 형성된 자연 산화막을 제거하기 위하여 식각 공정을 실시한다. 하지만, 자연 산화막을 제거하기 위하여 식각 공정을 실시하면 돌출부(230)가 손상될 수 있으므로, 패드 질화막 및 패드 산화막을 제거한 식각 챔버에서 시간의 지연 없이 인-시투(In-Situ)로 소자 분리 영역에 트렌치를 형성하여 자연 산화막이 형성되는 것을 처음부터 방지한다. 이렇게, 인-시투로 반도체 기판(201)을 식각하여 트렌치를 형성하면 자연 산화막을 제거하기 위한 식각 공정을 생략할 수 있으므로, 공정 단계가 줄어드는 장점이 있다.

<40> 한편, 트렌치(205)를 형성하기 위한 식각 공정 시 돌출부를 이용하여 트렌치(205)의 상부 모서리를 둥글게 형성하기 위한 식각 공정은 여러 가지 방법으로 진행될 수 있다. 좀 더 구체적으로 설명하면 다음과 같다.

<41> 첫 번째 방법으로, 일반적인 반도체 기판(201)의 식각 공정으로 트렌치(205)를 형성하면, 반도체 기판(201)이 식각될 때 돌출부(230)는 보다 서서히 식각되면서 자연스럽게 소자 분리 영역의 가장자리에 식각 경사면이 발생되어 라운딩 처리가 된 트렌치(205)가 형성된다.

<42> 두 번째 방법으로, 질화물 및 산화물로 이루어진 돌출부(230)와 반도체 기판(201)에 대한 식각 선택비를 조절하여 2차례의 식각 공정으로 상부 모서리가 둥글게 라운딩 처리된 트렌치(205)를 형성할 수도 있다. 도 4a 및 도 4b를 참조하여 보다 상세하게 설명하면 다음과 같다. 도 4a 및 도 4b는 도 2c에서 트렌치를 형성하는 식각 공정에 대한

실시예를 설명하기 위한 소자의 단면도들이다. 도 4a를 참조하면, 패드 질화막(203) 및 패드 산화막(202)의 측벽 하부에 질화물 및 산화물로 이루어진 돌출부(230)가 형성된 상태에서, 돌출부(230)에 대한 선택비가 높은 공정 조건으로 반도체 기판(201)만을 식각하여 상부 모서리(205a)가 라운딩 처리가 되지 않은 트렌치(205)를 먼저 형성한다. 도 4b를 참조하면, 다시 돌출부(230)에 대한 선택비가 낮은 공정 조건으로 PET(Post Etch Treatment) 처리를 실시하여, 돌출부(도 4a의 230)를 제거하면서 트렌치(205)의 상부 모서리(205a)에 식각 경사면을 형성하여 라운딩 처리된 트렌치(205)를 형성한다. 이때, 돌출부(도 4a의 230)와 반도체 기판(201)에 대한 식각 선택비는 식각 가스 중에서 HBr 가스의 유량을 조절하는 것만으로도 조절 가능하다. 즉, 1차 식각 시에는 HBr 가스의 유량을 증가시켜 반도체 기판(201)만이 식각되도록 하고, 2차 식각 시에는 상대적으로 HBr 가스의 유량을 감소시켜 돌출부(도 4a의 230)와 함께 트렌치(205)의 상부 모서리(205a)가 함께 식각되도록 할 수 있다.

<43> 이때, 상기의 방법으로 트렌치를 형성하는 본 발명의 가장 큰 특징 중 하나는 포토 레지스트 패턴을 제거한 상태에서 트렌치를 형성하므로, 포토레지스트로부터 발생하는 폴리머의 영향을 받지 않기 때문에 식각 공정을 보다 정확하게 제어할 수 있어 공정의 신뢰성을 향상시킬 수 있다는 것이다.

<44> 도 2d를 참조하면, 트렌치(205)가 매립되도록 전체 상부에 절연 물질층(206)을 형성한다.

<45> 도 2e를 참조하면, 화학적 기계적 연마 공정으로 패드 질화막(도 2d의 203) 상부의 절연 물질층(도 2d의 206)을 제거하고, 식각 공정으로 패드 질화막 및 패드 산화막(도 2d의 202)을 순차적으로 제거한다. 이로써, 절연 물질층은 상부 모서리가 라운딩 처리된

트렌치(도 2d의 205)에만 잔류되어 절연 물질층으로 이루어진 소자 분리막(207)이 형성된다.

【발명의 효과】

<46> 상기에서 서술한 방법을 이용하여 STI 구조의 소자 분리막을 형성하면 다음과 같은 효과를 얻을 수 있다.

<47> 첫 번째로, 돌출부를 형성할 때 과도 식각 공정을 실시하는 시간이나 식각 가스의 혼합비를 조절하여 돌출부를 형성하므로 돌출부의 형태를 정확하게 제어할 수 있으며, 그에 따라 트렌치의 상부 모서리를 균일하게 라운딩 처리 할 수 있어 공정의 신뢰성이 향상된다.

<48> 두 번째로, 패드 질화막 및 패드 산화막을 제거한 식각 챔버에서 시간의 지연 없이 인-시투로 반도체 기판을 식각하여 트렌치를 형성하므로, 자연 산화막이 형성되는 것을 방지할 수 있어 자연 산화막을 제거하기 위한 세정 공정을 생략할 수 있다. 따라서, 공정 단계 및 진행 시간을 단축시킬 수 있다.

<49> 세 번째로, 트렌치의 상부 모서리가 둥글게 형성되므로 전계가 집중되는 것을 방지하여 트랜지스터와 같은 반도체 소자의 문턱 전압이 변하는 것을 방지할 수 있다.

<50> 네 번째로, 트렌치의 상부 모서리가 둥글게 형성되므로 전계가 집중되는 것을 방지하여 실리콘의 디스로케이션(Dislocation)이 발생하는 것을 방지할 수 있다.

<51> 다섯 번째로, 트렌치의 상부 모서리가 둥글게 형성되므로 후속 공정에서 게이트 산화막이 얇게 형성되는 것을 방지할 수 있어 누설 전류가 증가하는 것을 억제할 수 있다.

<52> 여섯 번째로, 포토레지스트 패턴을 제거하고도 트렌치 상부 모서리를 둥글게 형성할 수 있으므로 포토레지스트 패턴을 제거하고 트렌치 상부 모서리를 둥글게 형성하기 어려웠던 기존의 공정 문제를 해결할 수 있다.

【특허청구범위】**【청구항 1】**

반도체 기판 상부에 패드 산화막 및 패드 질화막을 순차적으로 형성하는 단계;

소자 분리 영역의 상부 가장자리에 꼬리 모양의 돌출부가 형성되도록 상기 소자 분리 영역 상부의 상기 패드 질화막 및 상기 패드 산화막을 제거하는 단계;

상기 돌출부를 식각 방해막으로 이용하면서 상기 소자 분리 영역의 반도체 기판을 식각해 상부 모서리가 둥글게 형성된 트렌치를 형성하는 단계;

상기 트렌치를 절연물질로 매립한 후 상기 반도체 기판 상부의 상기 패드 질화막 및 상기 패드 산화막을 제거하여 소자 분리막을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 소자 분리막 형성 방법.

【청구항 2】

제 1 항에 있어서,

상기 돌출부는 상기 소자 분리 영역의 상기 패드 질화막을 제거한 후 상기 패드 질화막을 제거하는데 소요된 시간의 1 내지 10% 동안 CHF_3 가스로 과도 식각을 실시하여 형성하는 것을 특징으로 하는 반도체 소자의 소자 분리막 형성 방법.

【청구항 3】

제 1 항에 있어서,

상기 돌출부는 상기 패드 질화막 및 상기 패드 산화막을 제거하는 식각 공정에서 산화물에 대한 선택비가 높은 상태로 식각 공정을 실시하여 형성하는 것을 특징으로 하는 반도체 소자의 소자 분리막 형성 방법.

【청구항 4】

제 3 항에 있어서,

상기 식각 공정은 CF_4 가스와 CHF_3 가스를 식각 가스로 사용하여 실시하며, 상기 CHF_3 가스를 상기 CF_4 가스보다 많이 공급하여 상기 산화물에 대한 선택비를 증가시키는 것을 특징으로 하는 반도체 소자의 소자 분리막 형성 방법.

【청구항 5】

제 4 항에 있어서,

상기 CHF_3 가스 및 상기 CF_4 가스의 공급 비율은 2:1 내지 10:1인 것을 특징으로 하는 반도체 소자의 소자 분리막 형성 방법.

【청구항 6】

제 3 항에 있어서,

상기 식각 공정은 식각 종료 시점을 상기 패드 산화막의 산화물 성분이 검출되는 시점을 식각 종료 시점으로 설정하여 실시하는 것을 특징으로 하는 반도체 소자의 소자 분리막 형성 방법.

【청구항 7】

제 1 항에 있어서,

상기 패드 질화막 상부에는 상기 소자 분리 영역을 정의하기 위하여 포토레지스트 패턴이 형성되며, 상기 포토레지스트 패턴은 상기 소자 분리 영역 상부의 상기 패드 질화막 및 상기 패드 산화막을 제거한 후 상기 트렌치를 형성하기 전에 제거하여 상기 포토레지스트로부터 발생하는 폴리머가 상기 트렌치를 형성하기 위한 식각 공정에 영향을 미치는 것을 방지하는 것을 특징으로 하는 반도체 소자의 소자 분리막 형성 방법.

【청구항 8】

제 1 항에 있어서,

상기 트렌치를 형성하기 위한 식각 공정은 상기 소자 분리 영역의 상기 반도체 기판 표면에 자연 산화막이 형성되는 것을 방지하기 위하여 상기 패드 질화막 및 상기 패드 산화막을 제거한 식각 챔버에서 시간의 지연 없이 인-시투로 진행되는 것을 특징으로 하는 반도체 소자의 소자 분리막 형성 방법.

【청구항 9】

제 1 항 또는 제 8 항에 있어서, 상기 트렌치를 형성하기 위한 식각 공정은,
상기 돌출부에 대한 선택비가 높은 공정 조건으로 상기 반도체 기판만을 1차 식각하여 상부 모서리가 라운딩 처리가 되지 않은 트렌치를 형성하는 단계; 및
상기 돌출부에 대한 선택비가 낮은 공정 조건의 PET 처리로 2차 식각을 실시하여 상기 돌출부를 제거하면서 상기 트렌치의 상부 모서리에 식각 경사면을 형성하여 라운딩 처리된 트렌치를 형성하는 단계로 실시하는 것을 특징으로 하는 반도체 소자의 소자 분리막 형성 방법.

【청구항 10】

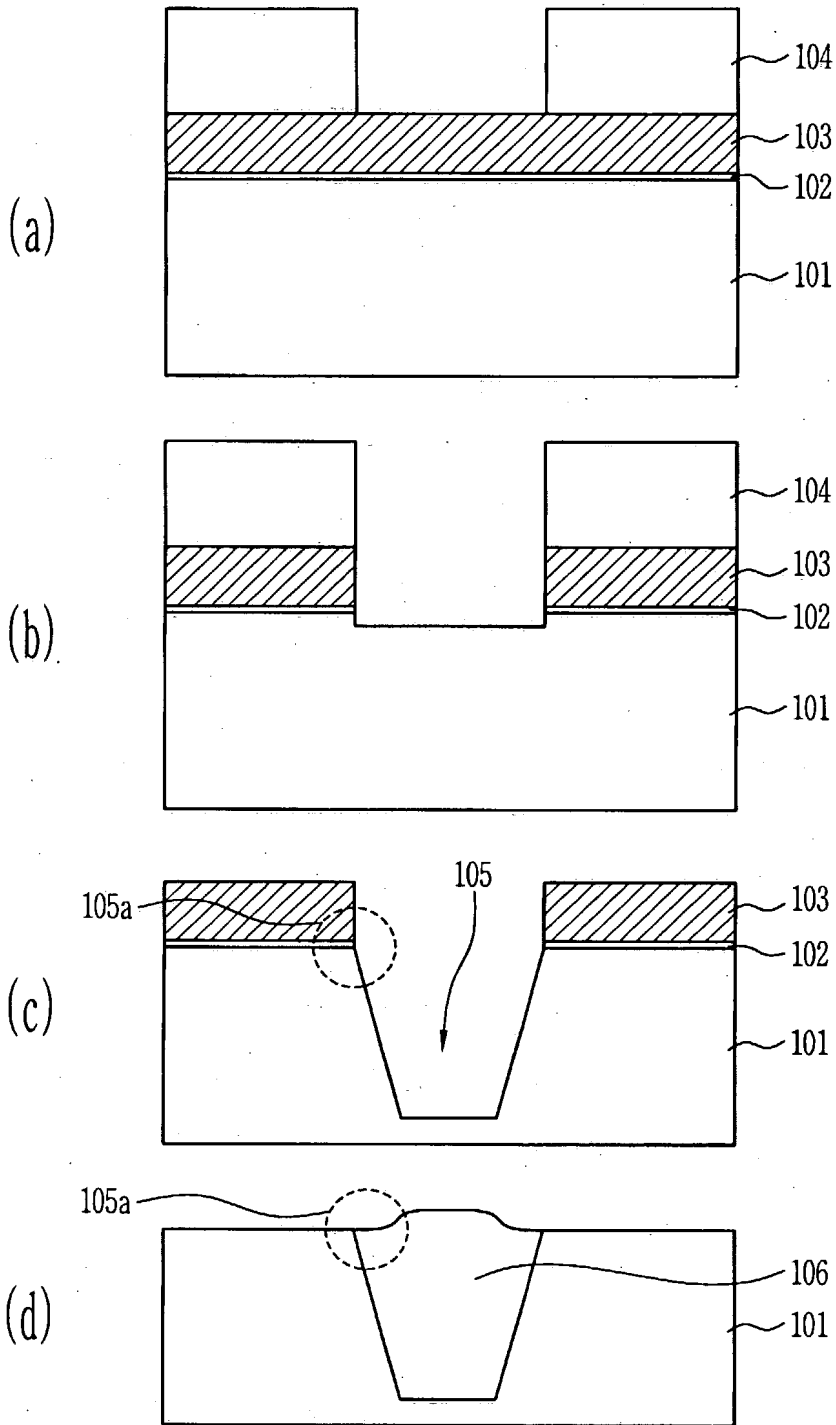
제 9 항에 있어서,
상기 돌출부 및 상기 반도체 기판에 대한 식각 선택비는 식각 가스 중에서 HBr 가스의 유량으로 조절하는 것을 특징으로 하는 반도체 소자의 소자 분리막 형성 방법.

【청구항 11】

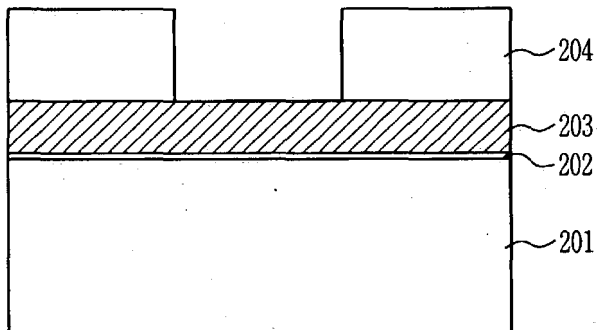
제 9 항에 있어서,
상기 1차 식각 시에는 HBr 가스의 유량을 증가시켜 상기 반도체 기판만이 식각되도록 하고, 상기 2차 식각 시에는 상대적으로 상기 HBr 가스의 유량을 감소시켜 상기 돌출부와 함께 상기 트렌치의 상부 모서리가 함께 식각되도록 하는 것을 특징으로 하는 반도체 소자의 소자 분리막 형성 방법.

【도면】

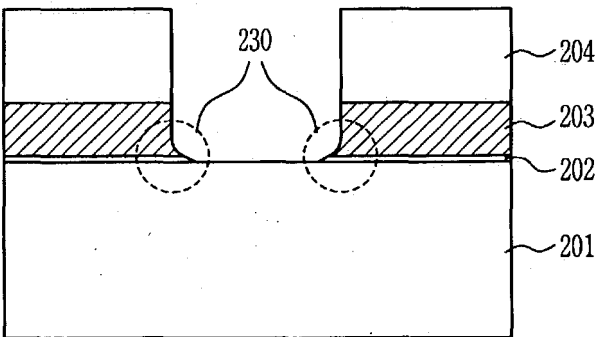
【도 1】



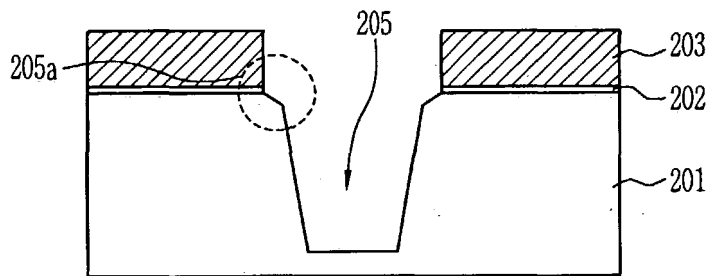
【도 2a】



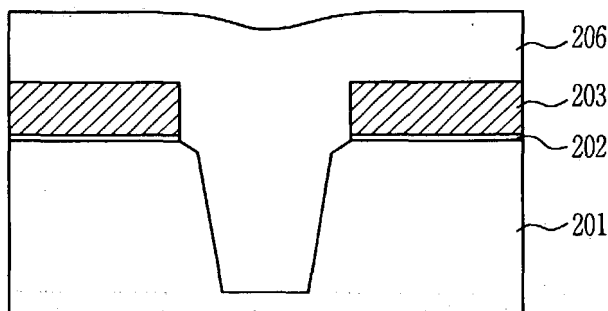
【도 2b】



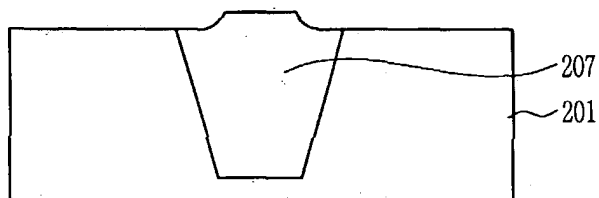
【도 2c】



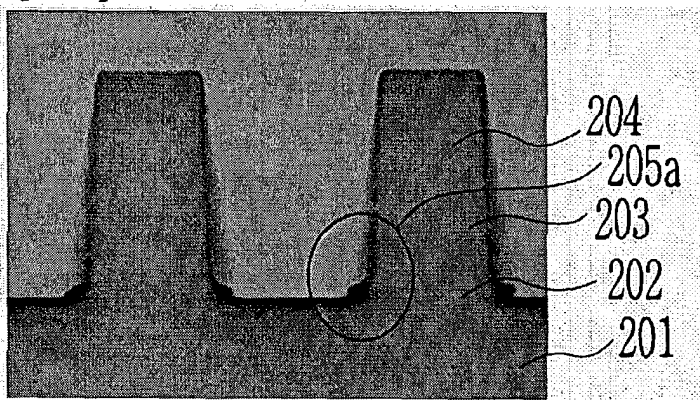
【도 2d】



【도 2e】



【도 3】



【도 4】

